

# Test des circuits et simulation de faute



**Composante**  
École Nationale  
Supérieure  
d'Électrotechnique  
d'Électronique  
d'Informatique  
d'Hydraulique  
et des  
Télécommunications

## En bref

- **Code Ametys:** N9EE08B
- **Ouvert aux étudiants en échange:** Oui

## Présentation

### Objectifs

À l'issue de ce cours, les étudiants seront capables de :

- Comprendre les mécanismes destructeurs affectant les circuits électroniques et les techniques de protection associées.
- Maîtriser les concepts fondamentaux de la sûreté de fonctionnement des circuits intégrés.
- Analyser et modéliser les fautes dans les circuits logiques et mémoires.
- Concevoir et appliquer des stratégies de génération de tests pour détecter les fautes dans les circuits logiques, séquentiels et mémoires.
- Mettre en œuvre des méthodologies de conception en vue du test (DFT) pour améliorer la testabilité des circuits.
- Explorer les techniques avancées de test pour les circuits analogiques, mixtes et RF.
- Utiliser des outils de simulation pour évaluer la robustesse et la fiabilité des circuits électroniques.

### Description

#### 1. Introduction

- Présentation des enjeux du test et de la simulation de fautes.

- Importance de la sûreté de fonctionnement dans les circuits intégrés modernes.

## 2. Notions de base

- **Mécanismes destructeurs** : usure, vieillissement, défaillances physiques.
- **Techniques de protection** : redondance, durcissement des circuits.
- **Sûreté de fonctionnement** : fiabilité, disponibilité, maintenabilité.

## 3. Test des circuits logiques

- **Fautes et modèles** : fautes classiques (stuck-at, transition, retard...), modèles de fautes.
- **Génération du test** : ATPG (Automatic Test Pattern Generation), couverture de fautes.
- **Circuits séquentiels** : test des registres et automates.
- **Test des mémoires** : défaillances spécifiques, algorithmes de test mémoire (March, BIST).

## 4. Conception en vue du test (DFT – Design for Testability)

- **Principe** : améliorer la testabilité dès la conception du circuit.
- **Techniques génériques** : scan chains, testabilité structurée.
- **Test semi-intégré (BIT – Built-In Test)** : principes et applications.
- **Test intégré (BIST – Built-In Self-Test)** : architectures et implémentation.

## 5. Test des circuits analogiques, mixtes et RF

- **Spécificité** : différences avec le test des circuits numériques.
- **Méthodes de test** : test paramétrique, test fonctionnel.
- **DFT pour circuits analogiques et RF** : stratégies et défis.