

Conception système FPGA pour traitement du signal



Composante
École Nationale
Supérieure
d'Électrotechnique
d'Électronique
d'Informatique
d'Hydraulique
et des
Télécommunications

En bref

- **Code Ametys:** N9EE08A
- **Ouvert aux étudiants en échange:** Oui

Présentation

Objectifs

- Savoir exploiter un outil de synthèse haut niveau pour concevoir des fonctions de traitement du signal pour FPGA
 - Savoir définir et optimiser une architecture de systèmes de traitement du signal (fonction TS + interfaces et gestion mémoire)
 - Tester et optimiser le système sur carte FPGA
-

Description

- Dans ce cours, l'étudiant entre dans la peau d'un ingénieur en mission pour pour Thales Alenia Space, chargé de développer et implanter sur FPGA un analyseur de spectre. Il doit notamment remplir les tâches suivantes :
 - Analyse d'architecture de systèmes de traitement du signal
 - Création d'une IP par synthèse haut niveau en C++ (HLS)
 - Codage et synthèse de l'architecture et de l'IP en VHDL
 - Vérification
 - Implantation sur FPGA
 - Test sur carte

Pré-requis obligatoires

- Conception de systèmes logiques (UE N5EE03)
- Electronique numérique (UE N7EE08)
- Architecture des systèmes numériques (N8EE03)